

Attorney Docket No.: 5649-1218

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Serial No.: 10/721,480

Filed: November 26, 2003

For: FERROELECTRIC MEMORY DEVICES INCLUDING PROTECTION
ADHESION LAYERS AND METHODS OF FORMING THE SAME

Confirmation No.: 5987

Group Art Unit: 2818

April 11, 2005

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENTS

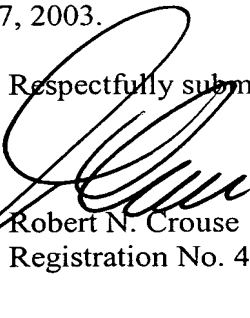
Sir:

To complete the requirements of 35 USC 119, enclosed is are certified copies of the following Korean priority applications:

10-2002-0073906, filed November 26, 2002; and

10-2003-0045784, filed July 7, 2003.

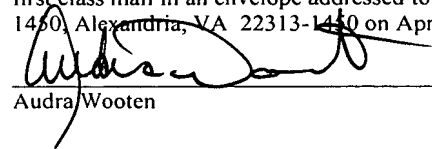
Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

Certificate of Mailing under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Office of Patent Legal Administration, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on April 11, 2005.


Audra Wooten



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0073906
Application Number

출원 년 월 일 : 2002년 11월 26일
Date of Application NOV 26, 2002

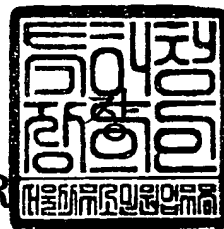
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 08 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0009
【제출일자】	2002.11.26
【발명의 명칭】	강유전체 메모리 소자 및 그 형성 방법
【발명의 영문명칭】	A Ferroelectric memory device and a method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박건상
【성명의 영문표기】	PARK, KUN SANG
【주민등록번호】	740203-1536217
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1283-5 엘리트빌 B동 108호
【국적】	KR
【발명자】	
【성명의 국문표기】	이규만
【성명의 영문표기】	LEE, KYU MANN
【주민등록번호】	670922-1767823
【우편번호】	449-907

【주소】 경기도 용인시 기흥읍 신갈리 갈현마을 현대휴타운아파트 504동
1001 호

【국적】 KR

【발명자】

【성명의 국문표기】 남상돈

【성명의 영문표기】 NAM, SANG DON

【주민등록번호】 741111-1550218

【우편번호】 135-270

【주소】 서울특별시 강남구 도곡동 951-18번지 월산주택 304호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	15 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】		29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

강유전체 메모리 소자 및 그 형성 방법을 제공한다. 상기 메모리 소자 및 그 형성 방법에 따르면, 반도체 기판 상에 보호접착막과 층간절연막을 차례로 적층한후 상기 보호접착막과 상기 층간절연막을 연속적으로 패터닝하여 콘택홀을 형성하고 상기 콘택홀을 도전물질로 채워 매몰 콘택을 형성한다. 상기 매몰 콘택과 중첩되며 상기 보호접착막을 일부 덮도록 하부전극을 형성한다. 상기 하부전극 및 상기 하부전극에 의해 덮이지 않고 노출된 상기 보호접착막을 덮도록 강유전체막을 형성하고 그 상부에 상부전극을 형성한다. 이로써, 보호접착막이 하부전극 및 강유전체막을 그 하부의 층간절연막으로부터 완전히 분리하여 종래의 계면 반응에 따른 보이드의 형성 및 들뜸 현상을 방지할 수 있다.

【대표도】

도 3

【색인어】

강유전체, 티타늄 산화막



【명세서】

【발명의 명칭】

강유전체 메모리 소자 및 그 형성 방법{A Ferroelectric memory device and a method of forming the same}

【도면의 간단한 설명】

도 1은 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 2는 다른 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 3은 본 발명의 바람직한 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 4a 및 도 4b는 도 3의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 강유전체 메모리 소자 및 그 형성 방법에 관한 것으로, 특히 보호접착막을 갖는 강유전체 메모리 소자 및 그 형성 방법에 관한 것이다.

<6> 강유전체 메모리 소자는 강유전체막의 분극(Polarization) 현상을 이용한다. 여러 강유전체 메모리 소자들중의 한 종류는 하나의 액세스 트랜지스터(access transistor) 및 강유전체막을 유전막으로 사용하는 하나의 셀 캐패시터(cell capacitor)로 구성된다.

<7> 도 1은 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.



<8> 도 1의 강유전체 메모리 소자를 형성하는 방법은 다음과 같다. 먼저, 반도체 기판(1) 상에 액세스 트랜지스터들(미도시)을 형성하고 상기 트랜지스터들 사이의 반도체 기판(1)에 소오스/드레인 영역(미도시)을 형성한다. 상기 소오스/드레인 영역 및 상기 액세스 트랜지스터들을 덮도록 층간절연막(3)을 적층한다. 상기 층간절연막(3)을 패터닝하여 상기 반도체 기판(1)의 드레인 영역을 노출시키는 콘택홀을 형성하고 상기 콘택홀을 도전물질로 채워 매몰콘택(5)을 형성한다. 상기 매몰콘택(5)이 형성된 상기 반도체 기판(1)의 전면 상에 도전막을 적층하고 패터닝하여 하부전극(7)을 형성한다. 상기 하부전극(7)을 덮는 강유전체막(9)을 적층한다. 상기 강유전체막(9)을 결정화하기 위하여 어닐링 공정을 실시한다. 상기 강유전체막(9) 상에 도전막을 적층하고 패터닝하여 상부전극(11)을 형성한다.

<9> 상기 과정에 있어서, 상기 하부전극(7)을 적층할때, 상기 층간절연막(3) 상에서는 잘 적층이 되지않아 도 1에서처럼 상기 층간절연막(3)과 상기 하부전극(7) 사이의 계면이 불균일해지고 들뜨게 되는 문제점(E)이 발생된다. 또한 상기 강유전체막(9)이 페로브스카이트 구조(perovskite structure)를 갖도록 결정화하기 위해 어닐링 공정을 실시할 때, 상기 하부전극(7)에 의해 덮이지 않고 노출된 상기 층간절연막(3)과 상기 강유전체막(9) 사이의 계면에서 두막들(3, 9)간의 반응이 일어나서 상기 강유전체막(9)이 파이로클로르(pyrochlore)상으로 변하게 되어 후속으로 보이드(V)가 형성될 수 있다. 이는 메모리 소자의 오작동을 야기할 수 있다.

<10> 이를 방지하기 위하여 대한민국 등록특허공보 제 10-0195262에서 개시된 강유전체 메모리 소자 및 그 형성방법을 도 2를 참조하여 설명하기로 한다.

<11> 도 2를 참조하면, 도 1의 매몰콘택(5)이 형성된 상기 반도체 기판(1)의 전면 상에 티타늄산화막과 같은 보호접착막(6)을 적층하고 패터닝하여 상기 매몰콘택(5)을 노출한다. 후속으



로 상기 보호접착막(6)의 일부 및 상기 노출된 매물콘택(5)을 덮도록 상기 하부전극(7)을 형성하고 후속으로 강유전체막(9) 및 상부전극(11)을 형성한다. 그러나, 도 2의 구조 및 그 형성 방법은 상기 보호접착막(6)이 매물콘택(5)의 형성후에 패터닝되기에 오정렬(mis-alignment)에 취약하여, 상기 하부전극(7)과 상기 층간절연막(3)이 접할 수 있고, 또한 그 계면에서 도 1과 같이 문제점(E)이 발생될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명의 기술적 과제는 상기 문제를 해결할 수 있는 강유전체 메모리 소자 및 그 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<13> 따라서, 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 강유전체 메모리 소자는 반도체 기판, 상기 반도체 기판 상에 차례로 적층된 층간절연막 및 보호접착막, 상기 보호접착막 및 상기 층간절연막을 차례로 관통하며 상기 반도체 기판과 접하는 매물 콘택, 상기 매물 콘택과 겹치면서 상기 보호접착막을 일부 덮는 하부전극, 상기 하부전극 및 상기 보호접착막을 덮는 강유전체막, 및 상기 강유전체막을 덮으며 상기 하부전극과 겹치는 상부전극을 구비한다. 상기 강유전체 메모리 소자에 있어서, 상기 보호접착막은 바람직하게는 티타늄산화막(TiO_2)으로 이루어진다.

<14> 상기 강유전체 메모리 소자를 형성하는 방법은 다음과 같다. 반도체 기판 상에 층간 절연막 및 보호접착막을 차례로 적층한다. 상기 티타늄 산화막 및 상기 층간절연막을 패터닝하여 상기 반도체 기판을 노출시키는 콘택홀을 형성한다. 상기 반도체 기판의 전면상에 도전막을 적층하여 상기 콘택홀을 채운다. 상기 도전막에 대해 평탄화공정을 적용하여 상기 보호접착막



을 노출시키는 동시에 상기 콘택홀 안에 도전막 패턴인 매몰콘택을 남긴다. 상기 반도체 기판 상에 하부전극막을 적층하고 패터닝하여 상기 매몰콘택과 겹치면서 상기 보호접착막을 일부 덮는 하부전극을 형성한다. 상기 하부전극 및 상기 보호접착막을 덮도록 강유전체막을 적층한다. 그리고, 상기 강유전체막상에 상기 하부전극과 겹치도록 상부전극을 형성한다.

<15> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<16> 도 3은 본 발명의 바람직한 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<17> 도 3을 참조하면, 상기 반도체 기판(100) 상에는 복수개의 액세스 트랜지스터들(미도시)이 배치되고 상기 트랜지스터들 사이의 반도체 기판(1)에 소오스/드레인 영역(미도시)들이 위치한다. 상기 소오스 영역과 접하는 비트라인(미도시)이 위치한다. 상기 반도체 기판(100) 상에 상기 복수개의 액세스 트랜지스터들 및 소오스/드레인 영역들을 덮도록 차례로 적층된 층간절연막(110) 및 보호접착막(120)이 위치한다. 상기 보호접착막(120) 및 상기 층간절연막(110)을 차례로 관통하며 상기 반도체 기판(100)의 드레인 영역(미도시)과 접하도록 매몰 콘택(130)이 배치된다. 상기 매몰 콘택(130)과 겹치면서 상기 보호접착막(120)을 일부 덮도록 하부전극(140)이 배치된다. 상기 하부전극(14) 및 상기 하부전극(14)에 의해 덮이지 않고 노출된 상기



보호접착막(120)을 덮도록 강유전체막(140)이 위치하고 그 위에 상기 강유전체막(150)을 일부 덮으며 상기 하부전극(140)과 겹치도록 상부전극(160)이 배치된다.

<18> 상기 구조에 있어서, 상기 매몰 콘택(130)이 상기 보호접착막(120) 및 상기 층간절연막(110)을 차례로 관통된다. 따라서, 상기 하부전극(140) 및 상기 강유전체막(150)이 상기 층간절연막(110)로부터 상기 보호접착막(120)에 의해 완전히 분리되기에, 상기 층간절연막과의 계면에서 발생하는 반응에 의한 보이드(V) 및 들뜸(E) 현상이 방지될 수 있다. 즉, 상기 보호접착막(120)은 상기 하부전극(140)과 상기 층간절연막(110)과의 계면에서 접착막(glue layer)의 역할을 하며, 상기 강유전체막(150)이 상기 층간절연막(110)과의 계면에서 발생하는 반응을 억제하는 보호막(protecting layer)의 역할을 한다.

<19> 도 4a 및 도 4b는 도 3의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

<20> 도 4a를 참조하면, 반도체 기판(100) 상에 복수개의 액세스 트랜지스터(미도시)들을 형성하고 상기 트랜지스터들 사이의 상기 반도체 기판(100)에 소오스/드레인 영역(미도시)들을 형성한다. 상기 소오스 영역(미도시)과 접하는 비트라인(미도시)을 형성한다. 상기 트랜지스터들 및 상기 소오스/드레인 영역들을 구비하는 상기 반도체 기판(100)의 전면 상에 층간절연막(110)을 형성한다. 상기 층간절연막(110)은 실리콘산화막(SiO_2)으로 형성할 수 있다. 상기 층간절연막(110) 상에 보호접착막(120)을 적층한다. 상기 보호접착막(120)은 바람직하게는 티타늄산화막(TiO_2)으로 형성될 수 있다.

<21> 도 4b를 참조하면, 상기 보호접착막(120) 및 상기 층간절연막(110)을 연속적으로 패터닝하여 상기 반도체 기판(100)의 드레인 영역(미도시)을 노출시키는 콘택홀(125)을 형성한다. 상



기 보호접착막(120)이 티타늄산화막으로 형성될 경우, CHF_3 , 및 CF_4 와 같은 탄화불소계 가스와 Cl_2 와 같은 염소계 가스의 혼합 가스를 이용하여 식각될 수 있으며, 상기 층간절연막(110)은 CHF_3 , 및 CF_4 와 같은 탄화불소계 가스를 이용하여 식각될 수 있다. 상기 콘택홀(125)이 형성된 상기 반도체 기판(100)의 전면상에 도전막(미도시)을 적층하여 상기 콘택홀(125)을 채운다. 상기 도전막에 대해 CMP 공정을 실시하여 상기 보호접착막(120)을 노출시키는 동시에 상기 콘택홀(125)안에 도전막 패턴을 남겨 매몰콘택(130)을 형성한다. 상기 매몰콘택(130)이 형성된 상기 반도체 기판(100)의 전면상에 도전막을 적층하고 패터닝하여 상기 매몰콘택(130)과 중첩되며 상기 보호접착막(120)을 일부 덮는 하부전극(140)을 형성한다.

<22> 후속으로, 도 3을 참조하여 상기 하부전극(140) 및 상기 하부전극(140)에 의해 덮이지 않고 노출된 보호접착막(120)을 덮도록 강유전체막(150)을 적층한다. 상기 강유전체막(150)은 바람직하게는 $\text{PZT}(\text{PbZrTiO}_3)$, PbTiO_3 , PbLaTiO_3 , $\text{BST}(\text{BaSrTiO}_3)$, BaTiO_3 , $\text{Ba}_4\text{Ti}_3\text{O}_{12}$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 및 SrTiO_3 를 구비하는 그룹에서 선택되는 하나의 물질로 형성된다. 상기 강유전체막(150)이 페로브스카이트 구조를 갖도록 어닐링(annealing) 공정을 진행한다. 상기 강유전체막(150) 상에 도전막을 적층하고 패터닝하여 상기 하부전극(140)과 중첩되며 상기 강유전체막(150)을 일부 덮도록 상부전극(160)을 형성한다. 상기 하부전극(140) 및 상기 상부전극(160)은 바람직하게는 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 루테튬산화물(RuO_x), 이리듐산화물(IrO_x), 및 플래티늄산화물(PtO_x)을 구비하는 그룹에서 선택되는 하나의 물질로 형성된다.

【발명의 효과】

<23> 따라서 본 발명에 의한 강유전체 메모리 소자 및 그 형성 방법에 따르면, 보호접착막과 층간절연막이 연속적으로 패터닝되어 종래의 오정렬에 따른 문제점을 해결할 수 있다. 또한,



1020020073906

출력 일자: 2003/10/16

보호접착막이 하부전극 및 강유전체막을 그 하부의 층간절연막으로부터 완전히 분리하여 종래의 계면 반응에 따른 보이드의 형성 및 들뜸 현상을 방지할 수 있다.



【특허청구범위】

【청구항 1】

반도체 기판;

상기 반도체 기판 상에 차례로 적층된 층간절연막 및 보호접착막;

상기 보호접착막 및 상기 층간절연막을 차례로 관통하며 상기 반도체 기판과 접하는 매
몰 콘택;

상기 매몰 콘택과 겹치면서 상기 보호접착막을 일부 덮는 하부전극;

상기 하부전극 및 상기 보호접착막을 덮는 강유전체막; 및

상기 강유전체막을 덮으며 상기 하부전극과 겹치는 상부전극을 구비하는 강유전체 메모
리 소자.

【청구항 2】

제 1 항에 있어서,

상기 보호접착막은 티타늄산화막(TiO_2)으로 이루어지는 것을 특징으로 하는 강유전체 메모
리 소자.

【청구항 3】

제 1 항에 있어서,

상기 강유전체막은 $\text{PZT}(\text{PbZrTiO}_3)$, PbTiO_3 , PbLaTiO_3 , $\text{BST}(\text{BaSrTiO}_3)$, BaTiO_3 ,
 $\text{Ba}_4\text{Ti}_3\text{O}_{12}$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 및 SrTiO_3 을 구비하는 그룹에서 선택되는 하나의 물질로 이루어지는 것
을 특징으로 하는 강유전체 메모리 소자.

**【청구항 4】**

제 1 항에 있어서,

상기 하부전극 및 상기 상부전극은 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 루테튬산화물(RuO_x), 이리듐산화물(IrO_x), 및 플래티늄산화물(PtO_x)을 구비하는 그룹에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 5】

반도체 기판 상에 층간 절연막 및 보호접착막을 차례로 적층하는 단계;

상기 티타늄 산화막 및 상기 층간절연막을 패터닝하여 상기 반도체 기판을 노출시키는 콘택홀을 형성하는 단계;

상기 반도체 기판의 전면상에 도전막을 적층하여 상기 콘택홀을 채우는 단계;

상기 도전막에 대해 평탄화공정을 적용하여 상기 보호접착막을 노출시키는 동시에 상기 콘택홀 안에 도전막 패턴인 매몰콘택을 남기는 단계;

상기 반도체 기판상에 하부전극막을 적층하고 패터닝하여 상기 매몰콘택과 겹치면서 상기 보호접착막을 일부 덮는 하부전극을 형성하는 단계;

상기 하부전극 및 상기 보호접착막을 덮도록 강유전체막을 적층하는 단계; 및

상기 강유전체막상에 상기 하부전극과 겹치도록 상부전극을 형성하는 단계를 구비하는 강유전체 메모리 소자의 형성 방법.



1020020073906

출력 일자: 2003/10/16

【청구항 6】

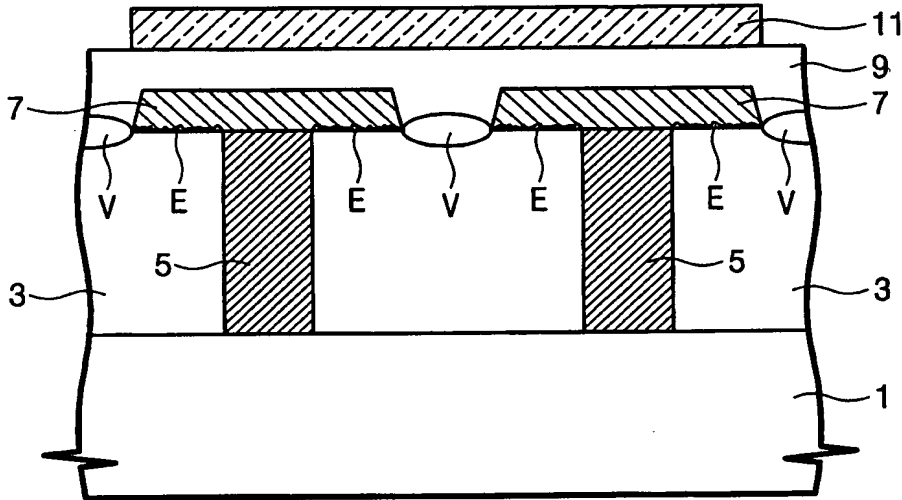
제 5 항에 있어서,

상기 보호접착막은 티타늄산화막으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【도면】

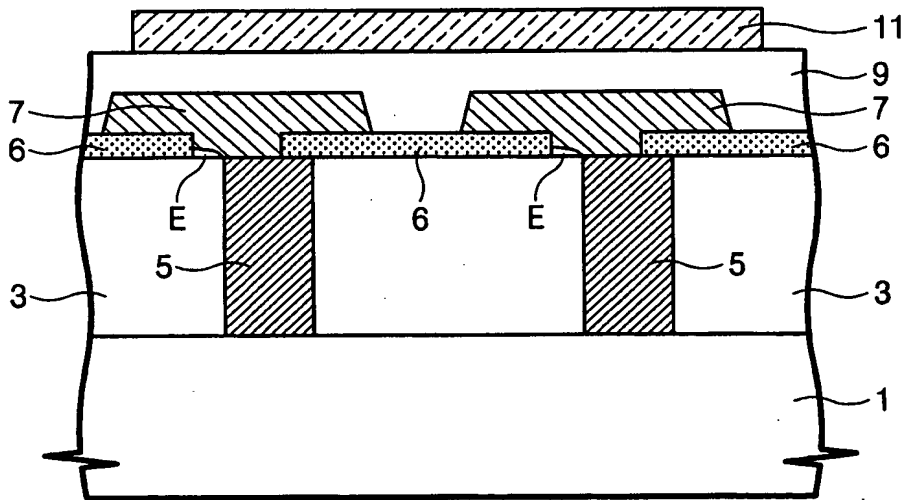
【도 1】

(종래 기술)

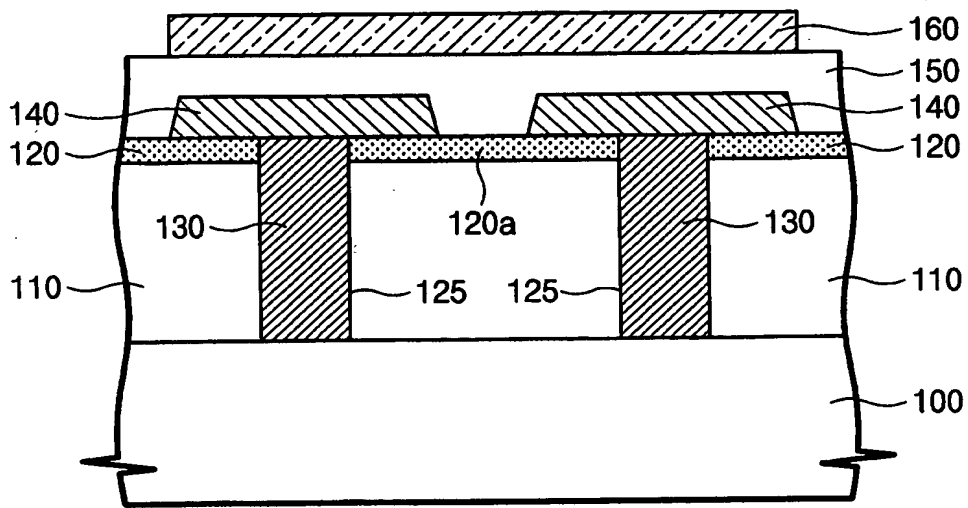


【도 2】

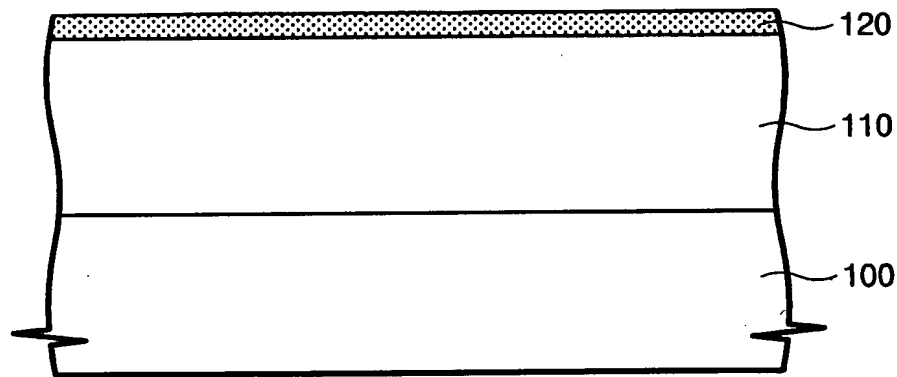
(종래 기술)



【도 3】



【도 4a】



【도 4b】

